Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего образования

«Рязанский государственный радиотехнический университет имени В.Ф. Уткина»

Кафедра «ПРВД»

**Отчет**

**по лабораторной работе** №2

«Синхронные одноступенчатые и двухступенчатые триггеры»

**по дисциплине**

«Архитектура ЭВМ»

Выполнил:

Барышев Г.А.

Проверил:

Захаров М.А.

Рязань 2025

**Дата выполнения лабораторной работы: 12.04.2025**

**Цель работы**

Изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью. Изучение принципов построения и схем, статических и динамических режимов работы синхронных двухступенчатых триггеров.

**Синхронные одноступенчатые триггеры со статическим и динамическим управлением записью**

**1.*Исследовать работу асинхронного RS-триггера с инверсными входами в статическом режиме***

*Задание:*

1. собрать схему RS-триггера на ЛЭ И-НЕ;
2. к выходам Q и ¬ Q триггера подключить световые индикаторы;
3. задавая через переключатели необходимые сигналы на входах ¬S

и ¬R триггера, составить таблицу переходов.

**Решение:**

**Изображение выглядит как текст, диаграмма, линия, снимок экрана

Контент, сгенерированный ИИ, может содержать ошибки.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **¬S** | **¬R** | **Qn** | **Qn+1** | **Пояснение** |
| **0** | **0** | **0** | **-** | Запрещенная операция |
| **0** | **0** | **1** | **-** |
| **0** | **1** | **0** | **1** | Установка 1 |
| **0** | **1** | **1** | **1** |
| **1** | **0** | **0** | **0** | Установка 0 |
| **1** | **0** | **1** | **0** |
| **1** | **1** | **0** | **0** | Хранение |
| **1** | **1** | **1** | **1** |

S устанавливает триггер в состояние единицы, а R триггер в состояние нуля. Одновременное включение S, R триггер — запрещенное состояние.

**2*. Исследовать работу синхронного RS-триггера в статическом режиме.***

*Задание:*

1. собрать схему RS-триггера на ЛЭ И-НЕ;
2. к выходам Q и ¬Q триггера подключить световые индикаторы;
3. задавая через переключатели необходимые сигналы на входах S, R и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору S, R и Q будет соответствовать 3 строки: сначала задать С=0 (момент времени tn ), затем при С=1 (момент времени tn+1 ) определяется Qn+1 и снова при С=0 переход в режим хранения.

***Решение:***

**Изображение выглядит как текст, диаграмма, линия, снимок экрана

Контент, сгенерированный ИИ, может содержать ошибки.**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **С** | **¬S** | **¬R** | **Qn** | **Qn + 1** | **Режим** |
| **0**  **0**  **1**  **1** | **\***  **\***  **0**  **0** | **\***  **\***  **0**  **0** | **0**  **1**  **0**  **1** | **0**  **1**  **0**  **1** | Хранение |
| **1**  **1** | **0**  **0** | **1**  **1** | **0**  **1** | **0**  **0** | 0 |
| **1**  **1** | **1**  **1** | **0**  **0** | **0**  **1** | **1**  **1** | 1 |
| **1**  **1** | **1**  **1** | **1**  **1** | **0**  **1** | **X**  **X** | Запрещенное состояние |

**3*. Исследовать работу синхронного D-триггера в статическом режиме.***

*Задание:*

1. собрать схему D-триггера на ЛЭ И-НЕ; в приложении Multisim можно использовать макросхему D-триггера;
2. к выходам Q и ¬Q триггера подключить световые индикаторы;
3. задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору D и Q будет 10 соответствовать 3 строки: сначала задать С=0 (момент времени tn ), затем при С=1 (момент времени tn+1 ) определяется Qn+1 и снова при С=0 происходит переход в режим хранения.

***Решение:***

**Изображение выглядит как диаграмма, линия, текст, снимок экрана

Контент, сгенерированный ИИ, может содержать ошибки.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **C** | **D** | **Qn** | **Qn + 1** | **Режим** |
| **0**  **0** | **\***  **\*** | **0**  **1** | **0**  **1** | Хранение |
| **1**  **1** | **0**  **0** | **0**  **1** | **0**  **0** | 0 |
| **1**  **1** | **1**  **1** | **0**  **1** | **1**  **1** | 1 |

1. ***Исследовать схему синхронного D-триггера с динамическим управлением записью в статическом режиме.***

*Задание:*

1. к выходам Q и ¬Q триггера подключить световые индикаторы;
2. задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста следует отметить реакцию триггера на изменения сигнала D при С=0 и при С=1, а также способность триггера принимать сигнал D только по перепаду 0/1 сигнала С.

***Решение:***

**Изображение выглядит как текст, диаграмма, План, линия

Контент, сгенерированный ИИ, может содержать ошибки.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***С*** | ***D*** | ***Qt*** | ***Qt+1*** | ***Пояснение*** |
| **0** | **0** | **0** | **0** | Хранение |
| **0** | **0** | **1** | **1** |
| **0** | **1** | **0** | **0** |
| **0** | **1** | **1** | **1** |
| **0->1** | **0** | **0** | **0** | Установка 0 |
| **0->1** | **0** | **1** | **0** |
| **0->1** | **1** | **0** | **1** | Установка 1 |
| **0->1** | **1** | **1** | **1** |

**Изображение выглядит как текст, снимок экрана, дисплей, число

Контент, сгенерированный ИИ, может содержать ошибки.**

1. ***Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме***

*Задание:*

1. построить схему синхронного DV-триггера на основе синхронного D-триггера и мультиплексора MS 2-1 (выход MS 2-1 соединить с D-входом триггера, вход 0 MS 2-1 соединить с выходом Q триггера. Тогда вход 1 MS 2-1 будет D-входом, адресный вход А MS 2-1 – входом V синхронного DV-триггера), вход С D-триггера – входом С DVтриггера;
2. подать сигнал генератора на вход счетчика и на С-вход DV-триггера;
3. подать на входы D и V триггера сигналы с выходов 2-го и 3-го разрядов счетчика;
4. снять временные диаграммы синхронного DV-триггера;

***Решение:***

Синхронный DV-триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

**𝑄𝑡 = 𝐷𝑉 + 𝑉𝑄𝑡−1 = 𝐷𝑉𝐶 + (𝑉 + 𝐶)𝑄𝑡−1**

**Изображение выглядит как текст, диаграмма, Параллельный, План

Контент, сгенерированный ИИ, может содержать ошибки.**

**Изображение выглядит как текст, снимок экрана, число, диаграмма

Контент, сгенерированный ИИ, может содержать ошибки.**

При С=0 DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. 𝑄𝑡 = 𝑄𝑡−1. При С=1 и при наличии сигнала V=1 разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV-триггер. При С=1 и V=0 DV-триггер сохраняет предыдущее внутреннее состояние.

***6. Исследовать работу DV-триггера, включенного по схеме TV-триггера***

*Задание:*

1. На вход D подать сигнал ¬Q , на вход С подать сигналы генератора, а на вход V - с выхода 3-го разряда счетчика;
2. Снять временные диаграммы T-триггера; - объяснить работу синхронного T-триггера по временным диаграммам.

***Решение:***

**Изображение выглядит как текст, диаграмма, План, схематичный

Контент, сгенерированный ИИ, может содержать ошибки.**

**Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.**

Асинхронный T - триггер переходит в противоположное состояние каждый раз при подаче на 𝑇-вход единичного сигнала. 𝑇-триггер реализует счет по модулю 2: 𝑄𝑛+1 = 𝑇 ⊕𝑄𝑛.

Синхронный Т - триггер имеет вход 𝐶 и вход 𝑇. Синхронный 𝑇-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует единичный сигнал.

**Синхронные двухступенчатые триггеры**

***1. Исследование синхронного D-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в статическом режиме***

1. Собрать схему D-триггера, у которого 1-я ступень - D-триггер со статическим управлением записью, 2-я ступень – RS-триггер со статическим управлением записью. В качестве RS-триггеров использовать макросхемы;

2. К выходам Qʹ и Q первой и второй ступеней триггера подключить световые индикаторы;

3. Задавая с помощью переключателей тестовые сигналы 0 и 1 на входах D и C, снять таблицу переходов триггера. Начальное состояние триггера устанавливается с помощью переключателей сигналов 0 и 1 на асинхронных входах Sa и Ra триггера. По таблице переходов проанализировать правильность работы триггера.

***Решение:***

Изображение выглядит как диаграмма, текст, линия, План

Контент, сгенерированный ИИ, может содержать ошибки.

Таблица переходов триггера:

| **C** | **D** | **sQ1 (1-я ступень)** | **Q2 (2-я ступень)** | **Примечания** |
| --- | --- | --- | --- | --- |
| 0 | 0 | 1 | 0 | Асинхронная установка |
| 0 | 1 | 1 | 1 |  |
| 1 | 0 | 0 | 1 |  |
| 1 | 1 | 1 | 0 |  |
| X | X | 1 | 1 | Установка |
| X | X | 0 | 0 | Сброс |
| X | X | недопустимо | недопустимо | Запрещенное состояние |

***2. Исследование синхронного JK-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в статическом режиме***

1. Собрать схему JK-триггера, включив на D-входе D-триггера логическую схему, формирующую функцию выхода JK-триггера согласно варианту (табл.3);

2. Задавая с помощью переключателей тестовые сигналы 0 и 1 на входах J, K и C (как работе №1), снять таблицу переходов триггера. Начальное состояние триггера устанавливается с помощью переключателей сигналов 0 и 1 на асинхронных входах Sa и Ra триггера. По таблице переходов проанализировать правильность работы JK-триггера.

***Решение:***

Изображение выглядит как текст, диаграмма, План, линия

Контент, сгенерированный ИИ, может содержать ошибки.

Таблица переходов триггера:

| **C** | **J** | **K** | **Qn** | **Qn+1** | **Режим работы** |
| --- | --- | --- | --- | --- | --- |
| ↑ | 0 | 0 | 0 | 0 | Хранение |
| ↑ | 0 | 0 | 1 | 1 | Хранение |
| ↑ | 0 | 1 | 0 | 0 | Сброс |
| ↑ | 0 | 1 | 1 | 0 | Сброс |
| ↑ | 1 | 0 | 0 | 1 | Установка |
| ↑ | 1 | 0 | 1 | 1 | Установка |
| ↑ | 1 | 1 | 0 | 1 | Переключение |
| ↑ | 1 | 1 | 1 | 0 | Переключение |

***3. Исследование синхронного JK-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в динамическом режиме***

1. На входы J и K триггера подать сигналы с первого и второго разрядов двоичного счетчика (ИС 4520 КМОП-логики) соответственно;

2. Выход генератора (частота 1 МГц) соединить с входом счетчика и через инвертор с входом С триггера; - снять временную диаграмму сигналов генератора, входных и выходных сигналов синхронного JK-триггера;

3. Проанализировать работу триггера по временной диаграмме и дать пояснения режимов работы JK-триггера.

***Решение:***

***Изображение выглядит как текст, диаграмма, План, число

Контент, сгенерированный ИИ, может содержать ошибки.***

Временная диаграмма:

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.

**Выход Q триггера** — меняется **только по заднему фронту CLK**:

* + Если **J=1, K=0** → Q устанавливается в **1**.
  + Если **J=0, K=1** → Q сбрасывается в **0**.
  + Если **J=1, K=1** → Q **переключается** (T-триггерный режим).

1. **Исследовать в динамическом режиме работу синхронного JK-триггера, включенного по схеме асинхронного Т-триггера, подавая на вход С сигналы генератора, на вход Т – сигналы второго разряда счетчика.**

***Решение:***

***Изображение выглядит как текст, диаграмма, число, Параллельный

Контент, сгенерированный ИИ, может содержать ошибки.***

Временная диаграмма:

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.

**Вывод**

Я изучил схемы асинхронного RS-триггера. Изучил принципы построения и схем, статических и динамических режимов работы синхронных двухступенчатых триггеров.